

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-031577

(43)Date of publication of application : 31.01.2003

(51)Int.Cl.

H01L 21/3205

H01L 21/304

H01L 21/306

(21)Application number : 2001-216446

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 17.07.2001

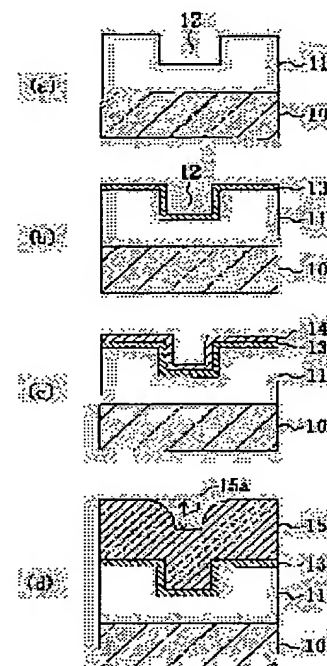
(72)Inventor : YOSHIDA HIDEAKI

(54) METHOD FOR PLANARIZING DEPOSITED FILM

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce dishing which occurs, when overpolishing of CMP is terminated.

SOLUTION: A wiring groove 12 is formed in an interlayer insulating film 11 on a semiconductor substrate 10 and a barrier metal layer 13 is formed on the surface of the interlayer insulating film 11, including the inner face of the wiring groove 12. A seed layer of copper 14 is formed on the barrier metal layer 13, and the seed layer 14 is made to grow by electroplating method, and a copper film 15 is deposited. The first step of CMP is performed on the copper film 15 and a planarized copper film 15A is obtained. The second step of CMP is performed on the planarized copper film 15A and an embedded wiring 15B is formed. A part, existing on the outer side of the wiring groove 12 in the barrier metal layer 13, is removed. The thickness of the copper film 15 is set to 1.6 to 2.0 times the depth of the wiring groove 12.



LEGAL STATUS

[Date of request for examination]

06.02.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3639229

[Date of registration]

21.01.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

This Page Blank (uspto)

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Copyright (C); 1998,2003 Japan Patent Office

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-31577

(P2003-31577A)

(43) 公開日 平成15年1月31日 (2003.1.31)

(51) IntCl. ⁷	識別記号	F I	テラコード (参考)
H 0 1 L 21/3205		H 0 1 L 21/304	6 2 2 M 5 F 0 3 3
21/304	6 2 2		6 2 2 R 5 F 0 4 3
			6 2 2 X
		21/88	K
21/306		21/306	M
審査請求 未請求 請求項の数12 O L (全 13 頁)			

(21) 出願番号 特願2001-216446(P2001-216446)

(22) 出願日 平成13年7月17日 (2001.7.17)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 吉田 英朗

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外7名)

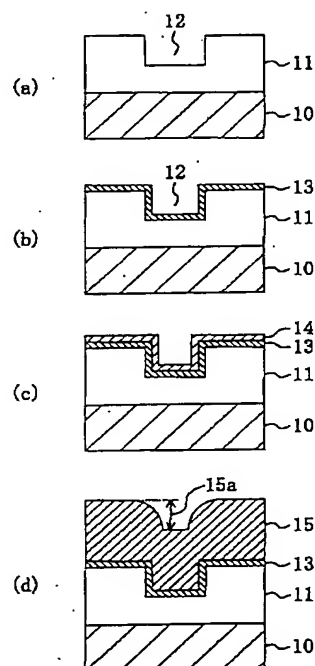
最終頁に続く

(54) 【発明の名称】 堆積膜の平坦化方法

(57) 【要約】

【課題】 CMPのオーバー研磨が終了したときに発生するディッシングを低減する。

【解決手段】 半導体基板10上の層間絶縁膜11に配線溝12を形成した後、配線溝12の内面を含む層間絶縁膜11の表面にバリアメタル層13を形成する。バリアメタル層13の上に銅のシード層14を形成した後、電解めっき法によりシード層14を成長させて銅膜15を堆積する。銅膜15に対してCMPの第1段階を行なって平坦化された銅膜15Aを得た後、平坦化された銅膜15Aに対してCMPの第2段階を行なって埋め込み配線15Bを形成し、その後、バリアメタル層13における配線溝12の外側に存在する部分を除去する。銅膜15の厚さは配線溝12の深さの1.6倍～2.0倍に設定されている。



【特許請求の範囲】

【請求項1】 基板の表面部に溝を形成する工程と、前記基板上に前記溝が埋まるように堆積膜を形成する工程と、前記堆積膜に対して第1段階の化学機械研磨を行なって、前記堆積膜に前記溝の起因して形成されている初期段差を解消する工程と、前記初期段差が解消した前記堆積膜に対して第2段階の化学機械研磨を行なって、前記堆積膜における前記溝の外側に存在する部分を除去する工程とを備え、前記堆積膜の厚さは、前記溝の深さの1.6倍以上で且つ2.0倍以下に設定されていることを特徴とする堆積膜の平坦化方法。

【請求項2】 基板の表面部に溝を形成する工程と、前記基板上に前記溝が埋まるように堆積膜を形成する工程と、前記堆積膜に対して、相対的に高い回転速度及び相対的に低い押圧力で第1段階の化学機械研磨を行なって、前記堆積膜に前記溝の起因して形成されている初期段差を解消する工程と、前記初期段差が解消した前記堆積膜に対して、相対的に低い回転速度及び相対的に高い押圧力で第2段階の化学機械研磨を行なって、前記堆積膜における前記溝の外側に存在する部分を除去する工程とを備えていることを特徴とする堆積膜の平坦化方法。

【請求項3】 前記第1段階の化学機械研磨は、前記基板上に残存する前記堆積膜の厚さが0よりも大きく且つ前記溝の深さの50%以下になるように行なわれることを特徴とする請求項1又は2に記載の堆積膜の平坦化方法。

【請求項4】 前記第1段階の化学機械研磨が終了したときの前記堆積膜の厚さの面内ばらつきは5%以下であることを特徴とする請求項1又は2に記載の堆積膜の平坦化方法。

【請求項5】 前記第1段階の化学機械研磨と前記第2段階の化学機械研磨との間又は前記第2段階の化学機械研磨の初期段階において、研磨パッドに対してコンディショニングを行なう工程をさらに備えていることを特徴とする請求項1又は2に記載の堆積膜の平坦化方法。

【請求項6】 前記溝の幅は1 μ m以上で且つ100 μ m以下であることを特徴とする請求項1又は2に記載の堆積膜の平坦化方法。

【請求項7】 前記溝は配線溝であると共に前記堆積膜は導電膜であり、前記第2段階の化学機械研磨により、前記堆積膜における前記溝の外側に存在する部分を除去する工程は、前記導電膜よりなる埋め込み配線を形成する工程を含むことを特徴とする請求項1又は2に記載の堆積膜の平坦化方法。

【請求項8】 前記溝は素子分離溝であると共に前記堆

積膜は絶縁膜であり、

前記第2段階の化学機械研磨により、前記堆積膜における前記溝の外側に存在する部分を除去する工程は、前記絶縁膜よりなる素子分離領域を形成する工程を含むことを特徴とする請求項1又は2に記載の堆積膜の平坦化方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造工程において用いられ、化学的機械研磨法により堆積膜を平坦化する方法に関し、特に、多層配線工程で埋め込み配線を形成する方法又は素子分離工程で素子分離領域を形成する方法に関する。

【0002】

【従来の技術】以下、従来例として、化学的機械研磨(CMP)法により埋め込み配線を形成する方法について、図11(a)～(c)及び図12(a)～(c)を参照しながら説明する。

【0003】まず、図11(a)に示すように、半導体基板1の上に堆積された二酸化珪素よりなる層間絶縁膜2に、フォトリソグラフィ技術及びドライエッチング技術を用いて配線溝3を形成した後、図11(b)に示すように、配線溝3の内面を含む層間絶縁膜2の表面に全面に亘って例えば窒化タンタル膜よりなるバリアメタル層4を形成する。銅配線を構成する銅は、層間絶縁膜2を構成する二酸化珪素膜中に拡散し易く、層間絶縁膜2の絶縁性を劣化させる恐れがあるので、層間絶縁膜2の表面にバリアメタル層4を薄く形成するのである。

【0004】次に、図11(c)に示すように、スパッタリング法により、バリアメタル層4の上に銅よりなるシード層5を形成した後、図12(a)に示すように、電解めっき法により、シード層5を成長させて銅膜6を形成する。この場合、配線溝3が銅膜6で完全に埋まるように、銅膜6の厚さを配線溝3の深さよりも大きくする。このようにすると、銅膜6における配線溝3の上方には初期段差7が形成される。

【0005】次に、図12(b)に示すように、CMP法により、銅膜6における配線溝3の外側に存在する余分な部分を除去して、銅膜6よりなる埋め込み配線6Aを形成した後、図12(c)に示すように、CMP法により、バリアメタル層4における層間絶縁膜2の上に存在する部分を除去する。

【0006】ところで、銅のバリアメタル層4を構成する窒化タンタルは非常に安定な物質であるため、CMP法により銅膜6とバリアメタル層4とを同時に研磨して除去することは困難である。

【0007】従って、銅の埋め込み配線6Aを形成するためには、銅膜6とバリアメタル層4とを別々に研磨する必要がある。つまり、CMPの第1段階としては、銅膜6のみを研磨により除去すると共にバリアメタル層4

の表面で研磨を停止する。CMPの第1段階で用いるスラリーとしては、窒化タンタルの研磨レートが銅の研磨レートに対して十分に大きいものを用いることが好ましい。次に、CMPの第2段階として、窒化タンタルを研磨するのに適したスラリーを用いて、バリアメタル層4における層間絶縁膜2の上に存在する部分を除去する。CMPの第2段階で用いるスラリーとしては、銅の研磨レートが窒化タンタルの研磨レートと同等又はそれ以下であるものを用いることが好ましい。この2段階のCMPにより、銅膜6を消失させることなく埋め込み配線6 Aを形成することができる。

【0008】

【発明が解決しようとする課題】図13(a)は、銅の埋め込み配線6 Aの理想的な断面形状を示し、図13(b)は銅の埋め込み配線6 Aの実際の断面形状を示している。すなわち、銅膜6に対するCMP工程において、銅の埋め込み配線6 Aの表面が層間絶縁膜2の表面よりも下になるように銅膜6が削られてしまうため、図13(a)に示すような平坦な表面が得られず、図13(b)に示すように、埋め込み配線6 Aの表面にディッシングと称される表面段差が発生してしまう。

【0009】埋め込み配線6 Aの表面にディッシングが発生すると、以下に説明するような様々な問題が起きる。すなわち、埋め込み配線6 Aの高さが低減するため配線抵抗が増大したり、多層配線構造を形成する場合には、上層の埋め込み配線において銅膜又は窒化タンタル膜の研磨残りが発生して配線の短絡が起きたり、又はフォトリソグラフィの焦点ずれが大きくなってパターン形成に不良が発生したりする。

【0010】従って、埋め込み配線6 Aの表面に形成されるディッシングを低減することは、高性能な埋め込み配線を形成するために極めて重要な課題である。

【0011】また、素子分離工程において、素子分離溝に絶縁膜を埋め込んで素子分離領域を形成する場合において、素子分離領域の表面にディッシングが発生する場合もある。このような現象が起きると、素子分離領域の厚さが薄くなるので、素子同士の間リーク不良が発生したり、パターン形成不良が発生したりする。

【0012】従って、素子分離領域の表面に形成されるディッシングを低減することは、高性能な素子分離領域を形成するために極めて重要な課題である。

【0013】ところで、ディッシングが拡大する原因としてはいくつか知られており、それぞれについて対策が講じられる。

【0014】例えば、ディッシングは配線の幅寸法の増加に伴って増加する傾向がある。この原因は研磨パッドの弾性変形であって、その対策として、回路設計段階で配線の幅寸法に上限規制を設けることが行なわれている。

【0015】また、ディッシングは、研磨パッドが軟質

であればあるほど増加する傾向がある。この原因も研磨パッドの弾性変形であって、その対策として、硬質の研磨パッドを使用することが行なわれている。

【0016】また、ディッシングには、オーバー研磨の増加に伴って増加する傾向がある。オーバー研磨とは、平坦化工程の最終段階で、基板表面に部分的に残留する余分な銅膜を完全に除去するために行なわれる。オーバー研磨は、銅膜の研磨残りに起因する配線の短絡を防止するには有効な手段であって必要不可欠であるが、過度なオーバー研磨は、ディッシングを拡大させて、配線抵抗の上昇及び上層の埋め込み配線での研磨残りを引き起こすので、取り扱いには十分な注意が必要である。つまり、オーバー研磨は必要最小限に抑制する必要がある。過度なオーバー研磨を行なわなければならない理由は、堆積された銅膜の厚さの面内ばらつきとCMPにおける研磨レートの面内ばらつきとである。これら面内ばらつきを低減させることによって、オーバー研磨を抑制し、これにより、ディッシングを低減することができる。

【0017】さらに、ディッシング拡大の原因には、銅膜の厚さの設定も上げられる。つまり、銅膜の膜厚が小さすぎる場合には、初期段差が完全に除去される前に配線パターンが露出してしまい、これによって、残留する初期段差がそのまま配線のディッシングになってしまふ。一方、銅膜の膜厚が大きすぎる場合には、銅膜の厚さの面内ばらつきとCMPの研磨レートの面内ばらつきとが重なるため、オーバー研磨が増加し、これによって、ディッシングが拡大してしまう。

【0018】前記の問題に鑑みて、本発明は、CMPのオーバー研磨が終了したときに発生するディッシングを低減することを目的とする。

【0019】

【課題を解決するための手段】前記の目的を達成するため、本発明に係る第1の堆積膜の平坦化方法は、基板の表面部に溝を形成する工程と、基板上に溝が埋まるように堆積膜を形成する工程と、堆積膜に対して第1段階の化学機械研磨を行なって、堆積膜に溝の起因して形成されている初期段差を解消する工程と、初期段差が解消した堆積膜に対して第2段階の化学機械研磨を行なって、堆積膜における溝の外側に存在する部分を除去する工程とを備え、堆積膜の厚さは、溝の深さの1.6倍以上で且つ2.0倍以下に設定されている。

【0020】第1の堆積膜の平坦化方法によると、堆積膜の厚さは、溝の深さの1.6倍以上で且つ2.0倍以下に設定されているため、第1段階の化学機械研磨が終了したときの表面段差を20nm以下に抑制できると共に、第2段階の化学機械研磨に要する時間を低減できるので、ディッシングを抑制することができる。

【0021】前記の目的を達成するため、本発明に係る第2の堆積膜の平坦化方法は、基板の表面部に溝を形成する工程と、基板上に溝が埋まるように堆積膜を形成す

る工程と、堆積膜に対して、相対的に高い回転速度及び相対的に低い押圧力で第1段階の化学機械研磨を行なって、堆積膜に溝の起因して形成されている初期段差を解消する工程と、初期段差が解消した堆積膜に対して、相対的に低い回転速度及び相対的に高い押圧力で第2段階の化学機械研磨を行なって、堆積膜における溝の外側に存在する部分を除去する工程とを備えている。

【0022】第2の堆積膜の平坦化方法によると、第1段階の化学機械研磨を相対的に高い回転速度及び低い押圧力で行なうため、短い研磨時間で堆積膜を平坦化できるので、第1段階の化学機械研磨が終了した時点での堆積膜の平坦性が向上し、また、第2段階の化学機械研磨を相対的に低い回転速度及び高い押圧力で行なうため、短い研磨時間で堆積膜における溝の外側に存在する部分を除去できるので、ディッシングを抑制することができる。

【0023】第1又は第2の堆積膜の平坦化方法において、第1段階の化学機械研磨は、基板上に残存する堆積膜の厚さが0よりも大きく且つ溝の深さの50%以下になるように行なわれることが好ましい。

【0024】このようにすると、第2段階の化学機械研磨に要する時間を短縮できるので、第2段階の化学機械研磨において堆積膜の膜厚の面内ばらつきが低減し、これによって、ディッシングがより一層低減する。

【0025】第1又は第2の堆積膜の平坦化方法において、第1段階の化学機械研磨が終了したときの堆積膜の厚さの面内ばらつきは5%以下であることが好ましい。

【0026】このようにすると、ディッシングをより一層低減することができる。

【0027】第1又は第2の堆積膜の平坦化方法は、第1段階の化学機械研磨と第2段階の化学機械研磨との間又は第2段階の化学機械研磨の初期段階において、研磨パッドに対してコンディショニングを行なう工程をさらに備えていることが好ましい。

【0028】このようにすると、第2段階の化学機械研磨におけるスラリーのスラリーの研磨砥粒を保持する能力が向上して、研磨レートの内面均一性が向上するので、ディッシングをより一層低減することができる。

【0029】第1又は第2の堆積膜の平坦化方法において、溝の幅は1 μ m以上で且つ100 μ m以下であることが好ましい。

【0030】このようにすると、第1又は第2の堆積膜の平坦化方法の効果が確実に発揮される。

【0031】第1又は第2の堆積膜の平坦化方法において、溝は配線溝であると共に堆積膜は導電膜であり、第2段階の化学機械研磨により、堆積膜における溝の外側に存在する部分を除去する工程は、導電膜よりなる埋め込み配線を形成する工程を含むことが好ましい。

【0032】このようにすると、ディッシングの少ない埋め込み配線を確実に形成することができる。

【0033】第1又は第2の堆積膜の平坦化方法において、溝は素子分離溝であると共に堆積膜は絶縁膜であり、第2段階の化学機械研磨により、堆積膜における溝の外側に存在する部分を除去する工程は、絶縁膜よりなる素子分離領域を形成する工程を含むことが好ましい。

【0034】このようにすると、ディッシングの少ない素子分離領域を確実に形成することができる。

【0035】

【発明の実施の形態】(第1の実施形態)以下、本発明の第1の実施形態に係る堆積膜の平坦化方法について、図1(a)～(d)及び図2(a)～(c)を参照しながら説明する。

【0036】まず、図1(a)に示すように、半導体基板10の上に堆積された二酸化珪素よりなる層間絶縁膜11に、フォトリソグラフィ技術及びドライエッチング技術を用いて配線溝12を形成した後、図1(b)に示すように、配線溝12の内面を含む層間絶縁膜11の表面に全面に亘って例えば窒化タンタル膜よりなるバリアメタル層13を形成する。

【0037】次に、図1(c)に示すように、スパッタリング法により、バリアメタル層13の上に銅よりなるシード層14を形成した後、図1(d)に示すように、電解めっき法により、シード層14を成長させて銅膜15を堆積する。このようにすると、銅膜15における配線溝12の上方には初期段差15aが形成される。

【0038】次に、銅膜15に対してCMPの第1段階を行なって、図2(a)に示すように、初期段差15aを解消させて平坦化された銅膜15Aを得る。

【0039】次に、平坦化された銅膜15Aに対してCMPの第2段階を行なって、図2(b)に示すように、平坦化された銅膜15Aにおける配線溝12の外側に存在する部分を除去して、銅の埋め込み配線15Bを形成する。

【0040】次に、図2(c)に示すように、バリアメタル層13における配線溝12の外側に存在する部分を除去する。

【0041】第1の実施形態の特徴は、銅膜15の厚さは配線溝12の深さの1.6倍～2.0倍に設定されていること、及び、CMPの第1段階は、平坦化された銅膜15Aにおけるバリアメタル層13の上に存在する部分の厚さが0よりも大きく且つ配線溝12の深さの50%以下になるように行なわれることである。

【0042】CMPの第1段階を、平坦化された銅膜15Aにおけるバリアメタル層13の上に存在する部分の厚さが0よりも大きく且つ配線溝12の深さの50%以下になるように行なうと、CMPの第2段階に要する研磨時間を短縮できるので、CMPの第2段階において銅膜15の厚さの面内ばらつきが大きくなって、表面段差が拡大する事態を防止することができる。

【0043】以下、銅膜15の厚さを配線溝12の深さ

の1.6倍～2.0倍に設定する理由について図3を参照しながら説明する。図3において、○印及び実線はCMPの第1段階が終了したときの銅膜の厚さと表面段差との関係を示し、△印及び破線はCMPの第2段階が終了したときの銅膜の厚さと表面段差との関係を示している。また、図3は、配線溝12の深さが400nmの場合である。

【0044】まず、銅膜15の厚さが配線溝12の深さの1.6倍以上であることが好ましい理由について説明する。

【0045】CMPの第1段階が終了したときに残存する段差（表面段差）、つまり平坦化された銅膜15Aの表面段差が20nm以下になれば、銅膜15の平坦化が十分に行なわれたと考えられる。その理由は、図3における実線で示すように、CMPの第1段階においては、表面段差は研磨の進行に伴って指数関数的に減少するが、表面段差が20nmに達すると表面段差の減少は飽和する。すなわち、表面段差を20nmよりも小さくすることは、無駄であると共に、スループットの低下及びコストの増加を招く。CMPの第1段階が終了したときの表面段差が20nm以下になる条件は、銅膜15の厚さが640nm以上であるとき、つまり銅膜15の厚さが配線溝12の深さの1.6倍以上であるときである。

【0046】次に、銅膜15の厚さが配線溝12の深さの2.0倍以下であることが好ましい理由について説明する。

【0047】銅膜15の厚さが大きくなれば、CMPの第2段階における表面段差は大きくなる。その理由は、銅膜15の厚さが大きくなると、CMPの第2段階における研磨時間が長くなるため、平坦化された銅膜15Aの膜厚の面内ばらつきが大きくなるからである。すなわち、図3における破線で示すように、銅膜15の厚さが800nmを超えると、つまり銅膜15の厚さが配線溝*

$$\text{(CMPの第2段階): } \frac{dS_o(t)}{dt} + k h_o V \times S_o(t) = k V P_t$$

$$\text{初期条件: } \lim_{t \rightarrow 0} S_o(t) = S_1, \text{ 終点条件: } \lim_{t \rightarrow \infty} S_o(t) = S_2$$

【0054】[数1]及び[数2]において、 S_o は堆積膜における初期段差の高さであり、 S_1 はCMPの第1段階が終了したときに残存する表面段差の高さであり、 S_2 は配線溝の深さであり、 t は研磨時間であり、 V は相対研磨レートであり、 P_t は凸部に加わる研磨圧力であり、 k はPrestonの定数であって、研磨レートが相対研磨レートと研磨圧力との積に比例すると仮定したときの比例定数であり、 h_p 及び h_o は、CMPの第1段階及び第2段階において段差が圧力差に比例すると仮定した場合の比例定数である。

【0055】以下、[数1]及び[数2]に示す関係が導き出せる根拠について説明する。

*12の深さの2.0倍を超えると、CMPの第2段階において研磨レートの面内ばらつきが大きくなって、表面段差が却って大きくなってしまふ。

【0048】また、銅膜15の厚さが配線溝12の深さの2.0倍を超えると、スループットの低下、スラリー消費量の増加及びコストの増加を招くと共に、厚い銅膜15を堆積することは、銅のめっき工程にも負担がかかり、スループットの低下及びコストの増加を招く。

【0049】以下、銅膜15の厚さを配線溝12の深さの1.6倍～2.0倍に設定する根拠について具体的に説明する。

【0050】まず、銅膜のCMP工程を第1段階（平坦化段階）と第2段階（オーバー研磨段階）とに分けて解析する。第1段階は、堆積された銅膜（以下、堆積膜と称する。）を研磨しながら平坦化する工程であって、表面段差は研磨時間の経過と共に減少する。第2段階は、第1段階の後に基板表面に部分的に残留する銅膜を完全に除去する工程であって、表面段差は研磨時間の経過と共に増加する。

【0051】CMPの第1段階における表面段差の時間変化式を $S_p(t)$ とし、CMPの第2段階における表面段差の時間変化式を $S_o(t)$ とすると、 $S_p(t)$ 及び $S_o(t)$ は、それぞれ、[数1]及び[数2]に示す、時間に関する微分方程式と初期条件及び終点条件とを満足する。

【0052】

[数1]

$$\text{(CMPの第1段階): } \frac{dS_p(t)}{dt} + k h_p V \times S_p(t) = 0$$

$$\text{初期条件: } \lim_{t \rightarrow 0} S_p(t) = S_o$$

【0053】

[数2]

【0056】<CMPの第1段階（平坦化段階）>堆積膜の初期段差の高さを S_o とすると共に、時間 t が経過したときにおける、堆積膜の凸部の研磨量を $R_t(t)$ とし、堆積膜の凹部の研磨量を $R_o(t)$ とすると、CMPの第1段階により堆積膜を平坦化する工程における表面段差 $S_p(t)$ は、 $S_p(t) = S_o - R_t(t) + R_o(t) \dots$ (1) で表わされる。

【0057】式(1)の両辺を時間 t で微分すると、 $dS_p(t)/dt = -R_t(t)/dt + dR_o(t)/dt \dots$ (2) が得られる。

【0058】Prestonの式より、凸部の研磨レート及び凹部の研磨レートは、それぞれ、以下に示す(3)式及

び(4)式で表わされる。

$$dR_r(t)/dt = k_r P_r(t) V_r(t) \dots (3)$$

$$dR_s(t)/dt = k_s P_s(t) V_s(t) \dots (4)$$

ここで、 k_r 及び k_s はそれぞれ凸部及び凹部におけるPrestonの定数であり、 $P_r(t)$ 及び $P_s(t)$ はそれぞれ凸

$$dS_o(t)/dt = -k_r P_r(t) V_r(t) + k_s P_s(t) V_s(t) \dots (5)$$

ここで、Prestonの2つの定数である k_r 及び k_s を同一の定数 k と仮定する。なぜならば、Prestonの定数は、スラリー及び被研磨膜の膜質に依存するため、凸部の定数 k_r と凹部の定数 k_s とは同一と考えてもよいからである。従って、 $k_r = k_s = k \dots (6)$ が成り立つ。

【0060】また、2つの相対研磨レートである $V_r(t)$ と $V_s(t)$ とを同一の定数 V と仮定する。なぜならば、1つの段差を介して隣接する凸部と凹部とでは、相対研磨レートはほぼ等しいと考えてよいからである。ここで、 $V_r(t)$ 及び $V_s(t)$ を定数 V と仮定した理由は計算を簡略化するためである。従って、次式(7)が成り立つ。

$$V_r(t) = V_s(t) = V \dots (7)$$

次に、式(6)及び式(7)を式(5)の右辺に代入して整理すると、 $dS_o(t)/dt = -kV \times \{P_r(t) - P_s(t)\} \dots (8)$ が得られる。

【0061】ここで、段差の凸部と凹部との圧力差： $P_r(t) - P_s(t) \equiv \Delta P(t)$ は表面段差 $S_o(t)$ に比例すると仮定して、その比例定数を h_o とする。比例定数 h_o が大きいほど平坦性が良好であることを示している。従って、次式(9)を仮定することができる。

$$P_r(t) - P_s(t) \equiv \Delta P(t) = h_o \times S_o(t) \dots (9)$$

式(9)を式(8)の右辺に代入して整理すると、次式(10)が得られる。

$$dS_o(t)/dt + k h_o V \times S_o(t) = 0 \dots (10)$$

式(10)は、時間 t の関数である表面段差 $S_o(t)$ についての一階線形微分方程式である。

【0062】式(10)を解くと、次式(11)のようになる。

$$S_o(t) = N_o \times \exp(-k h_o V \times t) = 0 \dots (11)$$

ここで、 N_o は任意定数である。

【0063】式(11)に初期条件： $t=0$ のとき、 $S_o(t) = S_o$ (初期段差)を適用して、任意定数 N_o を求めると、次式(12)が成り立つ。

$$dS_o(t)/dt + k h_o V \times S_o(t) = k V P_r \dots (19)$$

式(19)は、時間 t の関数である表面段差 $S_o(t)$ についての一階線形微分方程式である。式(19)を解く★

$$S_o(t) = N_o \times \exp(-k h_o V \times t) + P_r / h_o \dots (20)$$

ここで、 N_o は任意定数である。

【0067】式(20)に初期条件： $t=0$ のとき、 $S_o(t) = S_1$ (第1段階が終了したときの残存段差)を適用して任意定数 N_o を求めると、次式(21)が得られる。

★部及び凹部における研磨圧力であり、 $V_r(t)$ 及び $V_s(t)$ はそれぞれ凸部及び凹部における相対研磨レートである。

【0059】式(3)及び式(4)を式(2)の右辺に代入すると次式(5)が得られる。

$$\times N_o = S_o \dots (12)$$

式(12)を式(11)に代入すると、導出したいCMPの第1段階での表面段差 $S_o(t)$ の式として、次式(13)が得られる。

$$S_o(t) = S_o \times \exp(-k h_o V \times t) \dots (13)$$

【0064】<CMPの第2段階(オーバー研磨段階)>CMPの第1段階と同様、CMPの第2段階における表面段差 $S_o(t)$ は式(1)を基に考える。CMPの第2段階では、配線部以外の表面にはTa₂N₅(バリアメタル層)又はSiO₂(層間絶縁膜)が露出しているため、近似的に凸部での研磨量： $R_r(t) = 0$ と考えてもよい。つまり、式(1)は次式(14)のようになる。 $S_o(t) = S_1 + R_s(t) \dots (14)$

ここで、 S_1 は、CMPの第1段階が終了したときに残存する表面段差である。

【0065】式(14)の両辺を時間 t で微分すると、次式(15)が得られる。

$$dS_o(t)/dt = dR_s(t)/dt \dots (15)$$

CMPの第1段階と同様、式(15)に式(4)、(6)、(7)を適用すると、次式(16)が得られる。

$$dS_o(t)/dt = k V \times P_s(t) \dots (16)$$

CMPの第1段階と同様、次式(17)を仮定する。

$$P_r(t) - P_s(t) = h_o \times S_o(t) \dots (17)$$

ここで、 h_o はCMPの第2段階における比例定数である。

【0066】CMPの第2段階においては、配線部以外の表面にはTa₂N₅(バリアメタル層)又はSiO₂(層間絶縁膜)が露出しているため、凸部に加わる研磨圧力 $P_r(t)$ は一定値： P_r と考えてもよい。従って、式(17)は次式(18)のようになる。

$$P_s(t) = P_r - h_o \times S_o(t) \dots (18)$$

式(18)を式(16)に代入して整理すると、次式(19)が得られる。

★と、次式(20)が得られる。

$$\star N_o = S_1 - P_r / h_o \dots (21)$$

式(21)を式(20)に代入すると、導出したいCMPの第2段階での表面段差 $S_o(t)$ の式として、次式(22)が得られる。

$$S_o(t) = S_1 \times \exp(-k h_o V \times t) + (P_r / h_o) \times [1 - \exp(-k h_o V \times t)]$$

【0068】時間 t が十分に経過した後は、
【数3】

$$\lim_{t \rightarrow \infty} S_o(t) = S_2 \quad \text{..... (23)}$$

が成立する。ここで、 S_2 は配線溝の深さである。式
(23) は、CMPの第2段階において、配線が消失し*

$$S_o(t) = S_1 \times \exp(-k h_o V \times t) + S_2 \times [1 - \exp(-k h_o V \times t)] \quad \text{..... (25)}$$

【0070】以上のように、CMPの第1段階における
表面段差 $S_o(t)$ は、式(13)より、 $S_o(t) = S_1 \times \exp(-k h_o V \times t)$ で表われ、CMPの第2段階
における表面段差 $S_o(t)$ は、式(25)より、 $S_o(t) = S_1 \times \exp(-k h_o V \times t) + S_2 \times [1 - \exp(-k h_o V \times t)]$ で表わされる。

【0071】これらの理論によって、初期段差に対する
銅膜の厚さの最適値を決定することができる。

【0072】図4は、銅の研磨時間に伴う表面段差の
変化についての実験値を示している。図4において、縦軸
は表面段差を表わし、横軸は銅の研磨時間を表わし、パ
ラメータである銅膜の厚さとしては、○印が550nm
を表わし、△印が850nmを表わし、実線はCMPの
第1段階の近似曲線を表わし、破線はCMPの第2段階
の近似曲線を表わしている。

【0073】前述したように、CMPの第1段階では、
表面段差は研磨時間の増加に伴って減少する一方、CM
Pの第2段階では、表面段差は研磨時間の増加に伴って
増加する。

【0074】また、銅膜の厚さが550nmの場合、つ
まり銅膜の厚さが配線溝の深さの1.4倍程度である場
合には、表面段差の最小値は100nm程度であって、
平坦化が十分に行なわれていないことが分かる。また、
銅膜の厚さが850nmの場合、つまり銅膜の厚さが配
線溝の深さの1.9倍程度である場合には、表面段差の
最小値は30nm程度であって、平坦化が十分に行なわ
れていることが分かる。さらに、前記の計算式、つまり
式(13)及び式(25)は、実験結果に正確にフィッ
ティングしていることも分かる。

【0075】図5は、埋め込み配線15Bの配線幅が2
0μmであり、初期段差が400nmであるパターンに
対してCMPを行なったときにおける、表面段差及び研
磨時間のシュミレーション結果を示している。この場
合、銅膜の厚さは750nmであって、配線溝の深さ
(初期段差)の約1.9倍である。尚、図4において、
縦軸は表面段差を表わし、横軸は銅の研磨時間を表わ
し、実線はCMPの第1段階のシュミレーション結果を
表わし、破線はCMPの第2段階のシュミレーション結
果を表わしている。銅の研磨レートは約600nm/min
であるから、研磨時間の10秒は研磨量の100nm
に相当する。

*てしまうことを表わしている。

【0069】式(23)を式(22)に適用すると、次
式(24)が得られる。

$$S_2 = P_r / h_o \quad \text{..... (24)}$$

式(24)を式(22)に代入すると、CMPの第2段
階での表面段差 $S_o(t)$ は次式(25)のようになる。

【0076】まず、CMPの第1段階について説明す
る。第1段階では、400nmの初期段差は、60秒間
の研磨により20nm以下の表面段差となっており、ほ
ぼ平坦化されていることが分かる。もし、銅膜の厚さを
必要以上に大きくすることは、十分な平坦化を行なうた
めには適しているが、基板全面に残留する銅膜の厚さが
大きくなってしまふ。このため、残留する銅膜を完全に
除去する時間に表面段差の面内ばらつきが拡大するの
で、第2段階において余分なオーバー研磨が必要にな
り、ディッシングが拡大する。従って、CMPの第1段
階が終了したときに基板上に残留している銅膜の厚さは
できるだけ小さい方が好ましい。図4に示す例では、銅
膜の厚さは200nm以下である。

【0077】次に、CMPの第2段階について説明す
る。第2段階は、第1段階が終了したときに残留する薄
い銅膜を基板上から完全に除去するオーバー研磨を行な
う工程である。

【0078】図5では、CMPの第1段階が終了したと
きにおける、平坦化された銅膜15Aの膜厚の面内ばら
つきを3種類(5%、10%、15%)に変化させて、
必要なオーバー研磨量を見積もっている。この場合、基
板上に残留している薄い銅膜の厚さは200nm以下で
ある。

【0079】図5から、平坦化された銅膜15Aの膜厚
の面内ばらつきが5%以下であるときに、CMPの第2
段階が終了したときに形成されるディッシングを100
nm以下に抑制できることが分かる。ところで、面内ば
らつきが5%以下であると、CMPの第2段階におい
て、バリアメタル層13の膜厚分例えば35nmの厚さ
分に相当する段差が緩和されるから、CMPの第2段階
が終了したときの段差としては50nm以下を実現でき
る。

【0080】前述のように、平坦化された銅膜15Aの
膜厚の面内ばらつきが大きくなればなるほど、余分なオ
ーバー研磨が必要になるので、それに応じてディッシン
グが拡大していくことになる。

【0081】従って、ディッシングの拡大を抑制するた
めには、銅膜の厚さを配線溝の深さ(初期段差)の約
1.9倍に設定して、CMPの第1段階が終了したとき
に残留する銅膜の厚さを、配線パターンが露出しない限
度で、できるだけ薄くすると共に、CMPの第1段階

を、平坦化された銅膜の膜厚の面内均一性が得られるように研磨することによって、ディッシングを大きく低減することができる。

【0082】尚、第1の実施形態においては、銅膜15に対してCMPの第1段階が終了した時点でCMPを一旦停止し、その後、CMPの第2段階を行なったが、CMPの第1段階及び第2段階を連続して行なってもよい。

【0083】また、第1の実施形態においては、銅膜15は、シード層14の上に電解めっきを施すことにより形成したが、他の方法により銅膜15を堆積してもよい。

【0084】また、第1の実施形態においては、埋め込み配線15Bを形成する場合であったが、本発明にかかる堆積膜の平坦化方法は、下層配線と上層配線とを接続するビアの形成方法であってもよい。

【0085】また、第1の実施形態においては、配線溝12の幅は $1\mu\text{m}$ ～ $100\mu\text{m}$ 程度の範囲が好ましい。その理由は、配線溝12の幅が $1\mu\text{m}$ よりも小さい場合には、溝幅が狭いため、堆積された銅膜15の表面に初期段差が形成されず銅膜15の表面がほぼ平坦になるからである。一方、配線溝12の幅が $100\mu\text{m}$ よりも大きい場合には、研磨パッドが表面段差に追従してしまうので、CMPによる銅膜15の平坦化が難しくなるからである。

【0086】(第2の実施形態)以下、本発明の第2の実施形態に係る堆積膜の平坦化方法について、図6

(a)～(d)及び図7(a)～(c)を参照しながら説明する。

【0087】まず、図6(a)に示すように、半導体基板20の上に堆積された二酸化珪素よりなる層間絶縁膜21に、フォトリソグラフィ技術及びドライエッチング技術を用いて配線溝22を形成した後、図6(b)に示すように、配線溝22の内面を含む層間絶縁膜21の表面に全面に亘って例えば窒化タンタル膜よりなるバリア金属層23を形成する。

【0088】次に、図6(c)に示すように、スパッタリング法により、バリア金属層23の上に銅よりなるシード層24を形成した後、図6(d)に示すように、電解めっき法により、シード層24を成長させて銅膜25を堆積する。このようにすると、銅膜25における配線溝22の上方には初期段差25aが形成される。

【0089】次に、銅膜25に対して、相対的に高い回転速度及び相対的に低い押圧力の条件でCMPの第1段階を行なって、図7(a)に示すように、初期段差25aを解消させて平坦化された銅膜25Aを得る。

【0090】このように、高い回転速度及び低い押圧力でCMPの第1段階を行なうと、通常の条件でCMPを行なう場合に比べて、凸部に対する研磨レートが高くなる一方で凹部に対する研磨レートが低くなるので、短い

研磨時間で銅膜25を平坦化することができる。このため、CMPの第1段階が終了した時点では、平坦化の程度が高い平坦化された銅膜25Aが得られる。

【0091】ところで、高い回転速度及び低い押圧力の条件でCMPを行なうと、段差の平坦化には有利であるが、研磨レートが不安定になるので、膜厚の面内均一性には不利である。

【0092】そこで、平坦化された銅膜25Aに対して、相対的に低い回転速度及び相対的に高い押圧力の条件でCMPの第2段階を行なって、図7(b)に示すように、平坦化された銅膜25Aにおける配線溝22の外側に存在する部分を除去して、銅の埋め込み配線25Bを形成する。

【0093】このように、低い回転速度及び高い押圧力でCMPの第2段階を行なうと、研磨レートが等しい場合には、通常の条件でCMPを行なう場合に比べて、膜厚の面内均一性が向上するので、より短い時間で、平坦化された銅膜25Aにおける配線溝22の外側に存在する部分を除去することができる。このため、CMPの第2段階の時間が短くなるので、CMPの第2段階で発生するディッシングの拡大を防止することができる。

【0094】次に、図7(c)に示すように、バリア金属層23における配線溝22の外側に存在する部分を除去する。

【0095】第2の実施形態によると、相対的に高い高い回転速度及び低い押圧力でCMPの第1段階を行なって、平坦化された銅膜25Aを得た後、相対的に低い回転速度及び高い押圧力でCMPの第2段階を行なって、平坦化された銅膜25Aにおける配線溝22の外側に存在する部分を除去するため、銅の埋め込み配線25Bの表面に発生するディッシングを低減することができる。

【0096】尚、第2の実施形態においても、CMPの第1段階は、平坦化された銅膜25Aにおけるバリア金属層23の上に存在する部分の厚さが0よりも大きく且つ配線溝22の深さの50%以下になるように行なわれることが好ましい。このようにすると、CMPの第2段階に要する研磨時間を短縮できるので、CMPの第2段階において研磨レートの面内ばらつきが大きくなって、表面段差が拡大する事態を防止することができる。

【0097】(第3の実施形態)以下、本発明の第3の実施形態に係る堆積膜の平坦化方法について、図8

(a)～(d)及び図9(a)～(c)を参照しながら説明する。

【0098】まず、図8(a)に示すように、半導体基板30の上に堆積された二酸化珪素よりなる層間絶縁膜31に、フォトリソグラフィ技術及びドライエッチング技術を用いて配線溝32を形成した後、図8(b)に示すように、配線溝32の内面を含む層間絶縁膜31の表面に全面に亘って例えば窒化タンタル膜よりなるバリア金属層33を形成する。

【0099】次に、図8(c)に示すように、スパッタリング法により、バリアメタル層33の上に銅よりなるシード層34を形成した後、図8(d)に示すように、電解めっき法により、シード層34を成長させて銅膜35を堆積する。このようにすると、銅膜35における配線溝32の上方には初期段差35aが形成される。

【0100】次に、銅膜35に対してCMPの第1段階を行なって、図7(a)に示すように、初期段差25aを解消させて平坦化された銅膜25Aを得る。

【0101】次に、研磨パッドに対してコンディショニングを行なって、研磨パッドの表面を毛羽立たせておいてから、平坦化された銅膜25Aに対してCMPの第2段階を行なって、図7(b)に示すように、平坦化された銅膜25Aにおける配線溝22の外側に存在する部分を除去して、銅の埋め込み配線25Bを形成する。

【0102】次に、図7(c)に示すように、バリアメタル層23における配線溝22の外側に存在する部分を除去する。

【0103】ところで、研磨パッドのコンディショニングとは、CMPを行なう前に、ダイヤモンドで研磨パッドの表面を荒らす工程である。このコンディショニングを行なうことによって、研磨パッドの表面が毛羽立つため、スラリーが研磨砥粒を保持する性能が向上するので、より高い研磨レートを得ることができ、これによって、より優れた面内均一性を得ることができる。しかしながら、研磨パッドのコンディショニングを過度に行なうと、研磨パッドの磨耗が促進されるので、研磨パッドの寿命が短くなるという問題がある。

【0104】そこで、従来においては、研磨パッドのコンディショニングは、CMPを行なう前に行なわれていた。

【0105】ところが、CMPの前にコンディショニングを行なうと、研磨パッドの表面の毛羽立ち状態はCMPの進行と共に低減するため、CMPの第1段階が終了した時点では、研磨パッドの表面は平滑化されてしまい、研磨砥粒の保持能力が低減してしまうので、CMPの第2段階においては、研磨レートの面内均一性が低減してしまう。

【0106】これに対して、第3の実施形態のように、CMPの第1段階とCMPの第2段階との間で、研磨パッドに対してコンディショニングを行なうと、CMPの第2段階においては、スラリーの研磨砥粒を保持する能力が向上して、研磨レートの面内均一性が向上するので、埋め込み配線25Bの表面に形成されるディッシングを低減することができる。

【0107】尚、第3の実施形態においては、CMPの第1段階とCMPの第2段階との間においてCMPを一旦中断してから、コンディショニングを行なったが、これに代えて、CMPの第2段階の開始時期とほぼ同時に、CMPの第2段階を行ないながらコンディショニング

グを行なってもよい。

【0108】また、第3の実施形態は、第1の実施形態のように、CMPの第1段階と第2段階とを同じ条件で研磨する場合と、第2の実施形態のように、CMPの第1段階と第2段階とを異なる条件で研磨する場合との両方のケースに適用することができる。

【0109】(第4の実施形態)以下、本発明の第4の実施形態に係る堆積膜の平坦化方法について、図10(a)～(d)を参照しながら説明する。

【0110】まず、図10(a)に示すように、半導体基板40の表面部に素子分離溝41を形成した後、該素子分離溝41の底部に反転防止層42を形成する。

【0111】次に、図10(b)に示すように、素子分離溝41の内部を含む半導体基板40の上に全面に亘って、二酸化珪素よりなる絶縁膜43を、該絶縁膜43の厚さが素子分離溝41の深さの1.6倍～2.0倍になるように堆積する。このようにすると、絶縁膜43における素子分離溝41の上方には初期段差43aが形成される。

【0112】次に、絶縁膜43に対してCMPの第1段階を行なって、図10(c)に示すように、初期段差43aを解消させて平坦化された絶縁膜43Aを得る。

【0113】次に、平坦化された絶縁膜43Aに対してCMPの第2段階を行なって、図10(d)に示すように、平坦化された絶縁膜43Aにおける素子分離溝41の外側に存在する部分を除去して、素子分離領域43Bを形成する。

【0114】第4の実施形態によると、第1の実施形態と同様、絶縁膜43の厚さを素子分離溝41の深さの1.6倍～2.0倍に設定しているため、ディッシングを低減することができる。

【0115】尚、第4の実施形態は、絶縁膜43の厚さを素子分離溝41の深さの1.6倍～2.0倍に設定したが、これに代えて又はこれに加えて、絶縁膜43に対して、相対的に高い回転速度及び低い押圧力の条件でCMPの第1段階を行なった後、相対的に低い回転速度及び高い押圧力の条件でCMPの第2段階を行なってもよいし、CMPの第2段階の前又は初期において研磨パッドのコンディショニングを行なってもよい。

【0116】

【発明の効果】本発明に係る第1の堆積膜の平坦化方法によると、第1段階の化学機械研磨が終了したときの表面段差を20nm以下に抑制できると共に、第2段階の化学機械研磨に要する時間を低減できるので、ディッシングを抑制することができる。

【0117】また、本発明に係る第2の堆積膜の平坦化方法によると、第1段階の化学機械研磨において短い研磨時間で堆積膜を平坦化できるので、堆積膜の平坦性が向上すると共に、第2段階の化学機械研磨において短い研磨時間で堆積膜における溝の外側に存在する部分を除

去できるので、ディッシングを抑制することができる。

【図面の簡単な説明】

【図1】(a)～(d)は第1の実施形態に係る堆積膜の平坦化方法の各工程を示す断面図である。

【図2】(a)～(c)は第1の実施形態に係る堆積膜の平坦化方法の各工程を示す断面図である。

【図3】CMPにおける銅膜の厚さと表面段差との関係を表わすシュミレーション結果を示す図である。

【図4】CMPにおける銅膜に対する研磨時間と表面段差との関係を表わす実験結果を示す図である。

【図5】CMPにおける銅膜に対する研磨時間と表面段差との関係を表わすシュミレーション結果を示す図である。

【図6】(a)～(d)は第2の実施形態に係る堆積膜の平坦化方法の各工程を示す断面図である。

【図7】(a)～(c)は第2の実施形態に係る堆積膜の平坦化方法の各工程を示す断面図である。

【図8】(a)～(d)は第3の実施形態に係る堆積膜の平坦化方法の各工程を示す断面図である。

【図9】(a)～(c)は第3の実施形態に係る堆積膜の平坦化方法の各工程を示す断面図である。

【図10】(a)～(d)は第4の実施形態に係る堆積膜の平坦化方法の各工程を示す断面図である。

【図11】(a)～(c)は従来の堆積膜の平坦化方法の各工程を示す断面図である。

【図12】(a)～(c)は従来の堆積膜の平坦化方法の各工程を示す断面図である。

【図13】(a)は埋め込み配線の理想的な断面図であり、(b)は埋め込み配線の実際の断面図である。

【符号の説明】

10 半導体基板

11 層間絶縁膜

* 12 配線溝

13 バリアメタル層

14 シード層

15 銅膜

15A 平坦化された銅膜

15B 埋め込み配線

15a 初期段差

20 半導体基板

21 層間絶縁膜

10 22 配線溝

23 バリアメタル層

24 シード層

25 銅膜

25A 平坦化された銅膜

25B 埋め込み配線

25a 初期段差

30 半導体基板

31 層間絶縁膜

32 配線溝

20 33 バリアメタル層

34 シード層

35 銅膜

35A 平坦化された銅膜

35B 埋め込み配線

35a 初期段差

40 半導体基板

41 素子分離溝

42 反転防止層

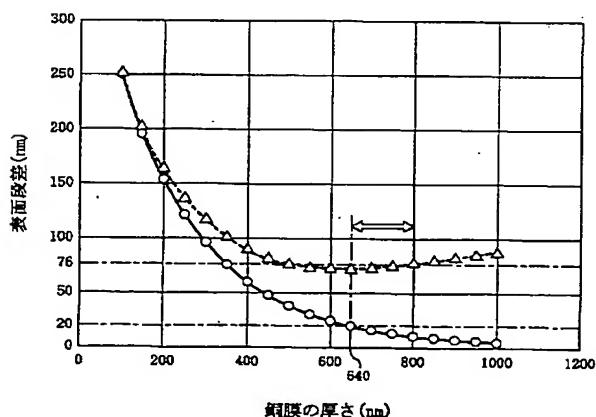
43 絶縁膜

30 43A 平坦化された絶縁膜

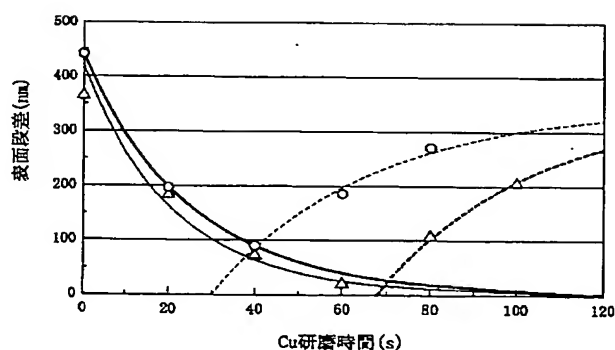
43B 素子分離領域

* 43a 初期段差

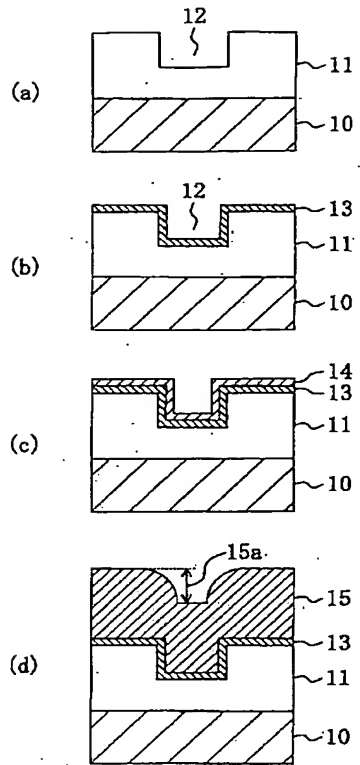
【図3】



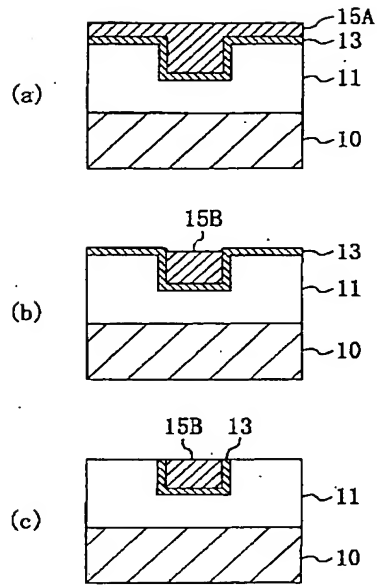
【図4】



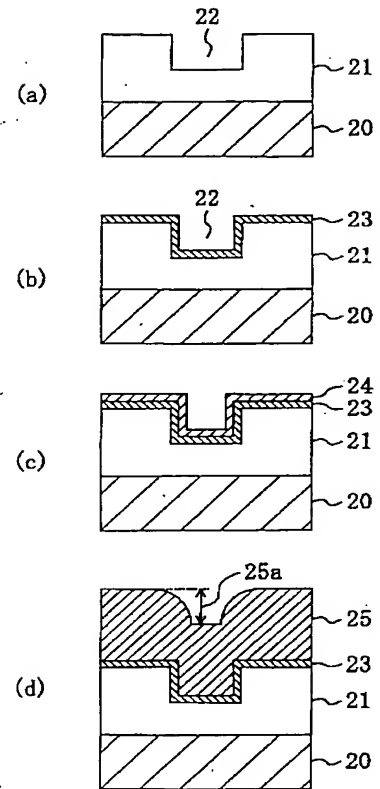
【図1】



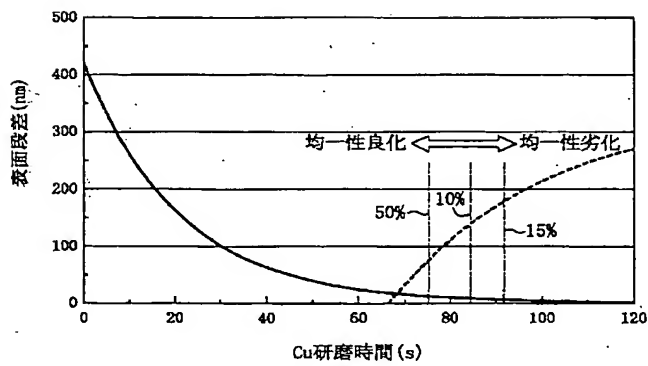
【図2】



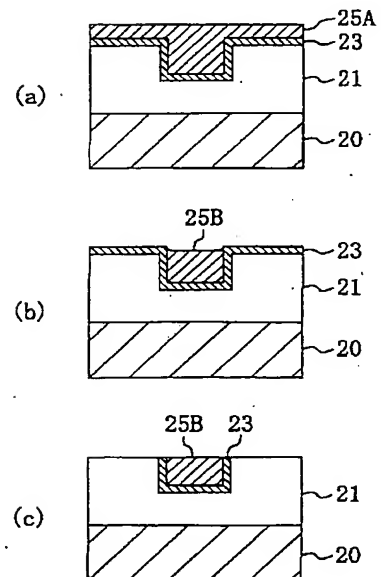
【図6】



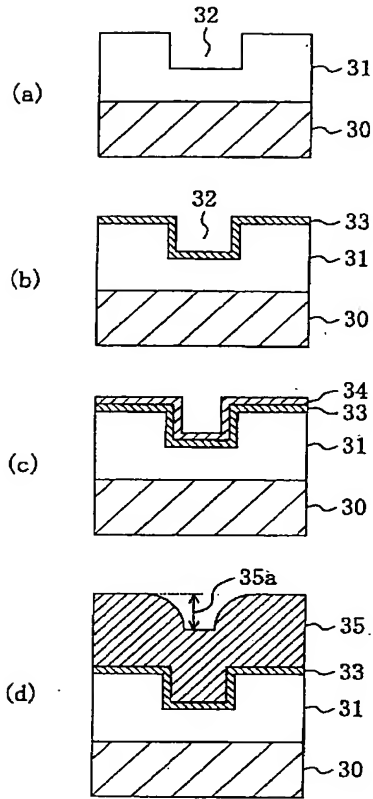
【図5】



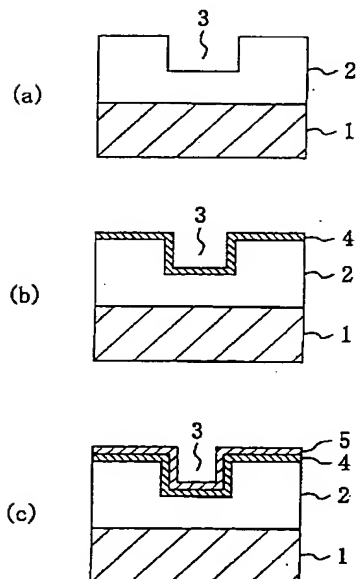
【図7】



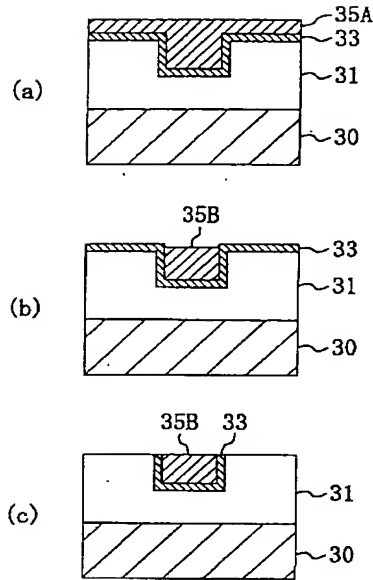
【図8】



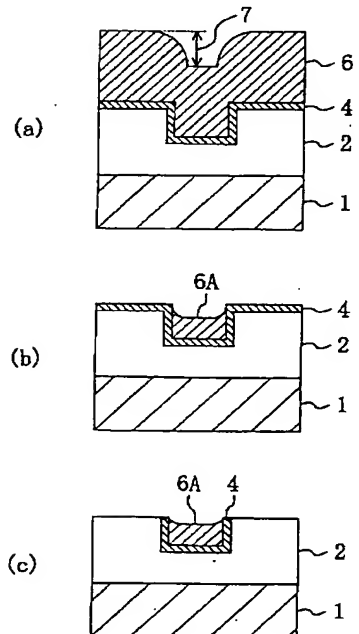
【図11】



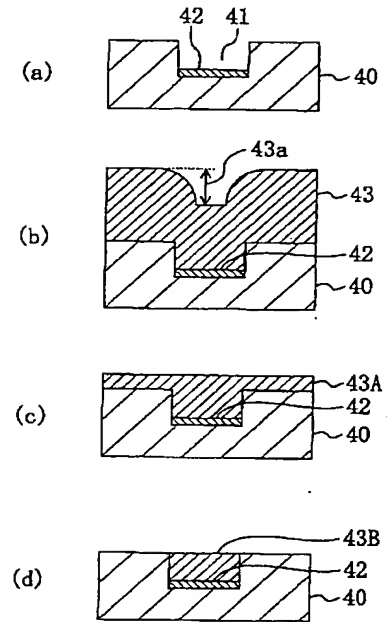
【図9】



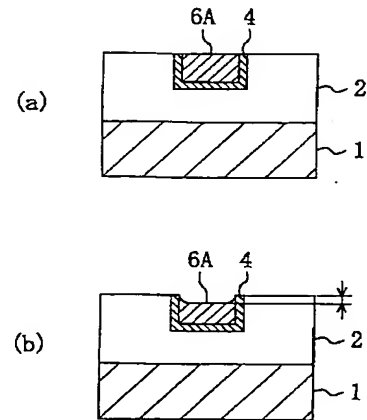
【図12】



【図10】



【図13】



【手続補正書】

【提出日】平成13年12月4日（2001.12.4）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 基板の表面部に溝を形成する工程と、前記基板上に前記溝が埋まるように堆積膜を形成する工程と、前記堆積膜に対して、相対的に高い回転速度及び相対的に低い押圧力で第1段階の化学機械研磨を行なって、前記堆積膜に前記溝の起因して形成されている初期段差を解消する工程と、前記初期段差が解消した前記堆積膜に対して、相対的に低い回転速度及び相対的に高い押圧力で第2段階の化学機械研磨を行なって、前記堆積膜における前記溝の外側に存在する部分を除去する工程とを備えていることを特徴とする堆積膜の平坦化方法。

【請求項2】 前記堆積膜の厚さは、前記溝の深さの1.6倍以上で且つ2.0倍以下に設定されていることを特徴とする請求項1に記載の堆積膜の平坦化方法。

【請求項3】 前記第1段階の化学機械研磨は、前記基板上に残存する前記堆積膜の厚さが0よりも大きく且つ前記溝の深さの50%以下になるように行なわれることを特徴とする請求項1又は2に記載の堆積膜の平坦化方法。

【請求項4】 前記第1段階の化学機械研磨は、前記基板上に残存する前記堆積膜の厚さが0よりも大きく且つ200nm以下になるように行なわれることを特徴とする請求項1又は2に記載の堆積膜の平坦化方法。

【請求項5】 前記第1段階の化学機械研磨が終了したときの前記堆積膜の厚さの面内ばらつきは5%以下であることを特徴とする請求項1又は2に記載の堆積膜の平坦化方法。

*

*【請求項6】 前記第1段階の化学機械研磨が終了したときに前記基板上に残存する表面段差は0よりも大きく且つ20nm以下であることを特徴とする請求項1又は2に記載の堆積膜の平坦化方法。

【請求項7】 前記第1段階の化学機械研磨と前記第2段階の化学機械研磨との間又は前記第2段階の化学機械研磨の初期段階において、研磨パッドに対してコンディショニングを行なう工程をさらに備えていることを特徴とする請求項1又は2に記載の堆積膜の平坦化方法。

【請求項8】 前記溝の幅は1μm以上で且つ100μm以下であることを特徴とする請求項1又は2に記載の堆積膜の平坦化方法。

【請求項9】 前記溝は配線溝であると共に前記堆積膜は導電膜であり、前記第2段階の化学機械研磨により、前記堆積膜における前記溝の外側に存在する部分を除去する工程は、前記導電膜よりなる埋め込み配線を形成する工程を含むことを特徴とする請求項1又は2に記載の堆積膜の平坦化方法。

【請求項10】 前記配線溝と前記導電膜との間にバリアメタル層を形成する工程をさらに備え、前記導電膜は銅合金膜であり、前記バリアメタル層は窒化タンタル膜であることを特徴とする請求項9に記載の堆積膜の平坦化方法。

【請求項11】 前記溝は素子分離溝であると共に前記堆積膜は絶縁膜であり、前記第2段階の化学機械研磨により、前記堆積膜における前記溝の外側に存在する部分を除去する工程は、前記絶縁膜よりなる素子分離領域を形成する工程を含むことを特徴とする請求項1又は2に記載の堆積膜の平坦化方法。

【請求項12】 前記素子分離溝の底部に反転防止層を形成する工程をさらに備え、前記絶縁膜は二酸化珪素膜であることを特徴とする請求項11に記載の堆積膜の平坦化方法。

フロントページの続き

Fターム(参考) 5F033 HH11 HH32 JJ11 JJ32 KK11

KK32 MM01 MM12 MM13 NN06

NN07 PP15 PP27 PP33 QQ09

QQ11 QQ48 RR04 WW01 WW02

XX00 XX01

5F043 DD16 FF07 GG02

THIS PAGE BLANK (USPTO)

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM, OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images problems checked, please do not report the problems to the IFW Image Problem Mailbox

THIS PAGE BLANK (USPTO)